

00/8024 15R 5/4

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-74557

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/24			H 0 4 N 7/13	Z
G 0 6 T 9/00		7736-5D	G 1 1 B 20/10	3 0 1 Z
G 1 1 B 20/10	3 0 1	9382-5K	H 0 3 M 7/30	Z
H 0 4 N 5/92			G 0 6 F 15/66	3 3 0 A
7/32			H 0 4 N 5/92	H
審査請求 未請求 請求項の数14 O L (全 24 頁) 最終頁に続く				

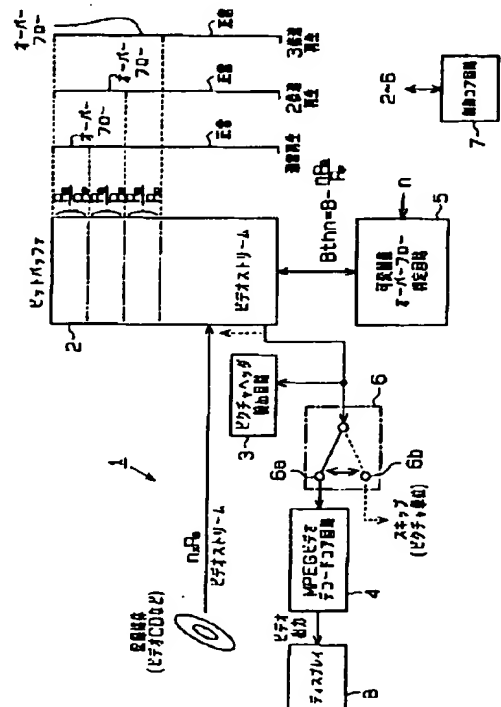
(21)出願番号	特願平7-271377	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成7年(1995)10月19日	(72)発明者	岡田 茂之 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(31)優先権主張番号	特願平6-285193	(72)発明者	河原 桂太 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(32)優先日	平6(1994)11月18日	(74)代理人	弁理士 恩田 博宣
(33)優先権主張国	日本 (J P)		
(31)優先権主張番号	特願平7-168382		
(32)優先日	平7(1995)6月30日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 デコーダおよびMPEGビデオデコーダ

(57)【要約】

【課題】 高速再生時において画質を劣化させることなくビットバッファのオーバーフローを回避することが可能で且つ簡単な構成のMPEGビデオデコーダを提供する。

【解決手段】 ピクチャ廃棄回路6は、通常の再生時にはノード6a側に接続され、ビットバッファ2から読み出された各ピクチャをそのままデコードコア回路4へ転送する。また、ピクチャ廃棄回路6は、高速再生時にはピクチャヘッダ検出回路3および判定回路5の制御に従って各ノード6a、6b側への接続が切り換えられ、ビットバッファ2から読み出された各ピクチャをピクチャ単位で間引いてデコードコア回路4へ転送する。すなわち、ピクチャ廃棄回路6がノード6b側に接続されると、ビットバッファ2から読み出されたピクチャはデコードコア回路4へ転送されずにスキップされる。



## 【特許請求の範囲】

【請求項1】 ビットバッファがオーバーフローしないように制御するデコーダ。

【請求項2】 ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を越えないように制御するデコーダ。

【請求項3】 ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を越えた場合には、占有量が閾値を下回るまでビットバッファからデータをスキップさせるデコーダ。

【請求項4】 ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を越えた場合には、占有量が閾値を下回るまでビットバッファからデータをスキップさせ、占有量が閾値を越えない場合には通常のデコードを行うデコーダ。

【請求項5】 ビットバッファ(2)と、ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、

ビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップさせる判定制御回路(5, 6, 7)とを備えたMPEGビデオデコーダ。

【請求項6】 ビデオストリームを蓄積するビットバッファ(2)と、

ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、

動画の再生速度に基づいてビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップさせる判定制御回路(5, 6, 7)とを備えたMPEGビデオデコーダ。

【請求項7】 ビデオストリームを蓄積するビットバッファ(2)と、

ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、

動画の再生速度に基づいてビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップし、スキップするピクチャはBピクチャだけで、PピクチャおよびIピクチャはスキップしない判定制御回路(5, 6, 7)とを備えたMPEGビデオデコーダ。

【請求項8】 請求項5~7のいずれか1項に記載のMPEGビデオデコーダにおいて、前記判定制御回路は、

IピクチャまたはPピクチャの読み出し後にビットバッファの占有量が閾値を下回っても、次にビットバッファから読み出されるピクチャがBピクチャであればスキップするMPEGビデオデコーダ。

【請求項9】 請求項5~8のいずれか1項に記載のMPEGビデオデコーダにおいて、前記判定制御回路は、IピクチャまたはPピクチャの読み出し後にビットバッファの占有量が第1の閾値( $B_{2thn}$ )を越えた場合、または、Pピクチャの読み出し後にビットバッファの占有量が第2の閾値( $B_{3thn}$ )を越えた場合、次にビットバッファから読み出されるピクチャがBピクチャであればスキップし、第1の閾値を第2の閾値よりも高い値に設定するMPEGビデオデコーダ。

【請求項10】 請求項5~9のいずれか1項に記載のMPEGビデオデコーダにおいて、前記ビットバッファに蓄積されるビデオストリームについて、ビットバッファに入力される前に、ビデオストリームに含まれる各ピクチャのタイプを検出すると共に各ピクチャのデータ量を解析するビデオストリーム解析回路(12)を備え、前記判定制御回路は、ビデオストリーム解析回路の解析したビデオストリームに含まれる各ピクチャのタイプおよび各ピクチャのデータ量に基づいて、スキップするピクチャを選定するMPEGビデオデコーダ。

【請求項11】 請求項5~10のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路が生成した各ピクチャのデコード結果を格納するフレームバッファを備え、そのフレームバッファの内部は前方参照領域、後方参照領域、Bピクチャ格納領域の3つの領域に分けられ、Bピクチャをスキップする際にはBピクチャ格納領域を前記ビットバッファの増設メモリとして流用するMPEGビデオデコーダ。

【請求項12】 請求項5~11のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路は、1フレーム期間内に2つのIピクチャまたはPピクチャをデコードし、先にデコードしたIピクチャまたはPピクチャについては順方向予測または双方向予測を行うための中途データとして扱い、後でデコードしたIピクチャまたはPピクチャだけを再生ピクチャとして扱うMPEGビデオデコーダ。

【請求項13】 請求項5~11のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路が生成した各ピクチャのデコード結果を格納するフレームバッファを備え、そのフレームバッファの内部は前方参照領域、後方参照領域、Bピクチャ格納領域の3つの領域に分けられ、前記デコードコア回路は、1フレーム期間内に2つのIピクチャまたはPピクチャをデコードし、先にデコードしたIピクチャまたはPピクチャについては順方向予測または双方向予測を行うための中途データとして扱い、その中途データはBピクチャ格納領域に格納し、後でデコードしたIピクチャまたはPピ

クチャだけを再生ピクチャとして扱うMPEGビデオデコーダ。

【請求項14】 請求項5～13のいずれか1項に記載のMPEGビデオデコーダにおいて、前記閾値または第1および第2の閾値は、ビデオストリームのシーケンスの先頭に付くシーケンスヘッダによって規定されるバッファサイズ (Vbv Buffer Size) とビットレート (Bit Rate) とピクチャレート (Picture Rate) と、通常の再生速度に対する実際の再生速度の倍率 (n) とによって設定されるMPEGビデオデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデコーダおよびMPEG (Moving Picture Expert Group) ビデオデコーダに関するものである。

【0002】

【従来の技術】 マルチメディアで扱われる情報は、膨大な量で且つ多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG」方式が挙げられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) 傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されつつある。

【0003】 MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」 (ISO/IEC IS 11172 Part1:Systems) では、ビデオデータとオーディオデータの多重化構造 (マルチプレクス・ストラクチャ) および同期方式が規定される。パート2の「MPEGビデオパート」 (ISO/IEC IS 11172 Part2:Video) では、ビデオデータの高効率符号化方式およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」 (ISO/IEC IS 11172 Part3:Audio) では、オーディオデータの高効率符号化方式およびオーディオデータのフォーマットが規定される。

【0004】 MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十個 (例えば、30個) のフレーム (静止画、コマ) によって構成されている。ビデオデータは、シーケンス (Sequence)、GOP (Group Of Pictures)、ピクチャ、スライス (Slice)、マクロブロック (Macroblock)、ブロックの順に6層の階層構造から成る。

【0005】 また、MPEGには主にエンコードレートの違いにより、現在のところ、MPEG-1、MPEG-2の2つの方式がある。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレームまたはフィールドをピクチャに対応させることもできる。フィールドは、2個で1つのフレームを

構成している。ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0006】 MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では双方向予測が行われる。双方向予測とは、過去の再生画像 (または、ピクチャ) から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

10

【0007】 この双方向予測は、Iピクチャ (Intra-Picture)、Pピクチャ (Predictive-Picture)、Bピクチャ (Bidirectionally predictive-Picture) と呼ばれる3つのタイプのピクチャを規定している。Iピクチャは、過去や未来の再生画像とは無関係に、独立して生成される。Pピクチャは順方向予測 (過去のIピクチャまたはPピクチャからの予測) により生成される。Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。①順方向予測; 過去のIピクチャまたはPピクチャからの予測、②逆方向予測; 未来のIピクチャまたはPピクチャからの予測、③双方向予測; 過去および未来のIピクチャまたはPピクチャからの予測。そして、これらI、P、Bピクチャがそれぞれエンコードされる。つまり、Iピクチャは過去や未来のピクチャが無くても生成される。これに対し、Pピクチャは過去のピクチャが無いと生成されず、Bピクチャは過去または未来のピクチャが無いと生成されない。

20

30

40

50

【0008】 フレーム間予測では、まず、Iピクチャが周期的に生成される。次に、Iピクチャよりも数フレーム先のフレームがPピクチャとして生成される。このPピクチャは、過去から現在への一方 (順方向) の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。一般的に連続した動画では、現在の画像とその前後の画像とは良く似ており、異なっているのはその一部分に過ぎない。そこで、前のフレーム (例えば、Iピクチャ) と次のフレーム (例えば、Pピクチャ) とは同じであると仮定し、両フレーム間に変化があればその差分 (Bピクチャのデータ) のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【0009】 このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列 (ビットストリーム) は、MPEGビデオストリーム (以下、ビデオストリームと略す) と呼ばれる。

【0010】 ところで、MPEG-1は主にビデオCD (Compact Disc) やCD-ROM (CD-Read Only Memor

y)などの記録媒体を用いた蓄積メディアに対応しており、MPEG-2はMPEG-1をも含む幅広い範囲のアプリケーションに対応している。

【0011】蓄積メディアにおいては、以下に示す3つの特殊再生機能が要求される。①動画を通常の再生速度より高速で再生（以下、高速再生という）する機能。②動画を通常の再生速度より低速で再生（以下、低速再生という）する機能。③動画を1フレームずつ再生（以下、コマ送り再生という）する機能。高速再生機能は、例えば、ユーザが短時間に動画を見るために早送り再生を行う際や、見たい動画を探索するために早送り再生または早送り逆転再生を行う際に用いられる。また、低速再生機能やコマ送り再生機能は、例えば、ユーザが動画を注意深く見る際などに用いられる。

【0012】図8に、高速再生機能を備えた従来のMPEGビデオデコーダの要部ブロック回路を示す。MPEGビデオデコーダ101は、ビットバッファ102、ピクチャヘッダ検出回路103、MPEGビデオデコードコア回路（以下、デコードコア回路と略す）104、ビデオストリームスキップ回路105、制御コア回路106から構成されている。

【0013】制御コア回路106は各回路102～105を制御する。ビデオCDなどの記録媒体から読み出されたビデオストリームは、ビデオストリームスキップ回路105を介してビットバッファ102へ転送される。

【0014】ビットバッファ102はFIFO（First-In-First-Out）構成のRAM（Random Access Memory）から成るリングバッファによって構成され、ビデオストリームスキップ回路105から転送されてくるビデオストリームを順次蓄積する。

【0015】ピクチャヘッダ検出回路103は、ビットバッファ102に蓄積されたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出する。制御コア回路106は、ピクチャヘッダ検出回路103の検出結果に基づいて、ビットバッファ102から1フレーム期間毎に1つのピクチャ分ずつのビデオストリームを読み出す。尚、MPEG-1では、1秒間に30個のフレーム（コマ）によって動画が構成されており、1フレーム期間は1/30秒である。

【0016】デコードコア回路104は、ビットバッファ102から読み出された各ピクチャをMPEGビデオパートに準拠してデコードし、各ピクチャ毎のビデオ出力を生成する。そのビデオ出力は、MPEGビデオデコーダ101の外部に設けられたディスプレイ107へ出力される。

【0017】ビットバッファ102が設けられているのは、I、P、Bの各ピクチャのデータ量が異なっているためである。Iピクチャのデータ量は約30kバイト、Pピクチャのデータ量は約10～15kバイト、Bピクチャのデータ量は0～約6kバイトである。それに対し

て、通常の再生時に記録媒体から読み出されるビデオストリームのビットレートRBは一定である。デコードコア回路104は各ピクチャ毎にデコードを行い、そのデコード処理時間は各ピクチャのデータ量によって異なる。そのため、記録媒体から読み出されたビデオストリームをデコードコア回路104へ直接転送すると、デコードコア回路104においてデコード処理できないピクチャがでてくる。これを防止するため、記録媒体から読み出されたビデオストリームに対するバッファメモリとしてのビットバッファ102を設けることで、I、P、Bの各ピクチャのデータ量の相違を吸収しているわけである。

【0018】ビデオストリームスキップ回路105は、通常の再生時にはノード105a側に接続され、記録媒体から読み出されたビデオストリームをそのままビットバッファ102へ転送する。また、高速再生時には再生速度に従って各ノード105a、105b側への接続が切り換えられ、記録媒体から読み出されたビデオストリームを再生速度に従って間欠的にビットバッファ102へ転送する。すなわち、ビデオストリームスキップ回路105がノード105b側に接続されると、記録媒体から読み出されたビデオストリームはビットバッファ102へ転送されずにスキップされる。その結果、ビットバッファ102へ転送されるビデオストリームは、ビデオストリームスキップ回路105によってスキップされた分だけ間引かれる。

【0019】前記したように、通常の再生時に記録媒体から読み出されるビデオストリームのビットレートRBは一定である。そのため、1ピクチャ分のビデオストリームのデータ量が多すぎたり少なすぎたりして、ビットバッファ102がオーバーフローしたりアンダーフローしたりしないように、ビットバッファ102の占有率を制御する必要がある。そこで、MPEGビデオパートでは、仮想的なMPEGビデオデコーダが想定され、それに対する規定がなされている。

【0020】図9に、通常の再生時におけるビットバッファ102の占有量の変化を示す。ビットバッファ102の占有量BmはビットレートRBをグラフの傾きとして上昇する。ビットレートRBは、シーケンスの先頭に付くシーケンスヘッダのBR（Bit Rate）に従って式

(1)に示すように規定される。また、記録媒体から読み出されるビデオストリームのピクチャレートRPはシーケンスヘッダのPR（Picture Rate）によって規定される。そして、ビットバッファ102の容量Bは、シーケンスヘッダのVBV（Vbv[Video Buffering Verifier] Buffer Size）に従って式(2)に示すように規定される。そして、1フレーム期間毎に、デコードコア回路104がそのときデコードしようとする1ピクチャ分のビデオストリームが、ビットバッファ102から一気に読み出される。ここで、1フレーム期間に記録媒体から

読み出されてビットバッファ 102 に入力されるビデオストリームのデータ量  $X$  は、ビットレート  $RB$  およびピクチャレート  $RP$  に従って式 (3) に示すように規定される。従って、ビットバッファ 102 から 1 ピクチャ分のビデオストリームが一気に読み出された直後のビットバッファ 102 の占有量  $B_m$  ( $=B_0 \sim B_6$ ) は、データ量  $X$  とビットバッファ 102 の容量  $B$  とに基づいて、式 (4) に示す条件を満たすように規定される。

【0021】

$$RB = 400 \times BR \quad \dots\dots (1) \quad 10$$

$$B = 16 \times 1024 \times VBV \quad \dots\dots (2)$$

$$X = RB / RP \quad \dots\dots (3)$$

$$0 < B_m < B - X = B - (RB / RP) \quad \dots\dots (4)$$

式 (4) に示す条件を満たすようにビットバッファ 102 の占有量  $B_m$  が規定されていれば、ビットバッファ 102 がオーバーフローしたりアンダーフローしたりすることはない。逆に言えば、ビットバッファ 102 の占有量  $B_m$  が閾値 ( $B - X$ ) を越えると、次の 1 フレーム期間にビットバッファ 102 に入力されるビデオストリームによってビットバッファ 102 がオーバーフローする可能性が極めて高くなる。

【0022】 通常の再生時においては、式 (4) が満たされるように、ビットレート  $RB$ 、ピクチャレート  $RP$ 、容量  $B$  の各値が規定されている。従って、式 (2) に示すようにビットバッファ 102 の容量  $B$  を設定しておけば、ビットバッファ 102 がオーバーフローしたりアンダーフローしたりすることはない。

【0023】 但し、実際のビットバッファ 102 では、オーバーフローを確実に防止するために、式 (2) に示す容量  $B$  に、デコードコア回路 104 のデコード処理時間などを考慮したマージン分  $\alpha$  を加えた値に容量が設定される。通常、マージン分  $\alpha$  は、式 (3) に示すデータ量  $X$  と同程度の値に設定される。例えば、ビデオ CD では、容量  $B$  が 46 k バイト、データ量  $X$  が 6 k バイトに規定されているため、実際のビットバッファ 102 の容量は 52 k ( $=B + X = 46 k + 6 k$ ) バイトに設定される。

【0024】 高速再生時において、記録媒体から読み出されたビデオストリームのビットレートは再生速度に従って大きくなる。つまり、通常の再生速度の  $n$  倍の速度で高速再生する際には、記録媒体から読み出されたビデオストリームのビットレートは通常の再生時のビットレート  $RB$  の  $n$  倍 ( $=n \times RB$ ) となる。

【0025】 しかし、上記したように、ビットバッファ 102 の容量  $B$  は通常の再生時に対応して設定されているため、ビデオストリームのビットレートが  $n \times RB$  になると、ビットバッファ 102 はオーバーフローすることになる。従って、高速再生時には、前記したようにビデオストリームスキップ回路 105 を制御することにより、ビットバッファ 102 へ転送されるビデオストリー

ムが間引かれる。その結果、ビットバッファ 102 へ転送されるビデオストリームのビットレートは、通常の再生時のビットレート  $RB$  と実質的に等しくなり、ビットバッファ 102 のオーバーフローは回避される。

【0026】

【発明が解決しようとする課題】 従来の MPEG ビデオデコーダ 101 には以下の問題がある。

① 通常の再生時において、式 (2) に示すようにビットバッファ 102 の容量  $B$  を設定しておけば、理想的な状態ではビットバッファ 102 がオーバーフローすることはない。しかし、実際の状態では、式 (2) に示すようにビットバッファ 102 の容量  $B$  を設定しておいても、以下に示す場合においてビットバッファ 102 がオーバーフローする恐れがある。

【0027】 (1) 記録媒体から読み出されたビデオストリームのビットレート  $RB$  とビデオ出力のビットレートとが同期しておらず、ビットレート  $RB$  の方がビデオ出力のビットレートよりも大きい場合。

【0028】 (2) 記録媒体から読み出されたビデオストリームのエンコードが規格通りに行われていない場合。ビットバッファ 102 はリングバッファによって構成されているため、オーバーフローすると、ビットバッファ 102 に既に蓄積されていたビデオストリームに対して、新たに入力されたビデオストリームが上書きされることになる。その結果、ビットバッファ 102 に既に蓄積されていたビデオストリームが破壊されて失われてしまう。

【0029】 例えば、デコードコア回路 104 において任意のピクチャをデコードしている途中でビットバッファ 102 がオーバーフローすると、デコード処理中のピクチャのビットバッファ 102 に残っている部分に対して、新たに入力されたビデオストリームが上書きされる。その結果、デコード処理中のピクチャのビットバッファ 102 に残っている部分が破壊されて失われる。すると、デコードコア回路 104 では、そのピクチャのデコードを完了することが不可能になり、そのピクチャのビデオ出力を生成することができなくなる。

【0030】 前記したように、P ピクチャは過去のピクチャ無しには生成することができず、B ピクチャは過去または未来のピクチャ無しには生成することができない。過去や未来のピクチャ無しに生成することができるのは I ピクチャだけである。そのため、ビットバッファ 102 がオーバーフローした時点でデコード処理中のピクチャが I ピクチャまたは P ピクチャの場合には、ビットバッファ 102 に蓄積されているビデオストリームの各ピクチャのうち、そのデコード処理中のピクチャから次に読み出される I ピクチャまでの全ての P ピクチャおよび B ピクチャをデコードすることができなくなる。つまり、デコードコア回路 104 では、ビットバッファ 102 から次の I ピクチャが読み出されるまでデコード処

理を再開することができなくなる。

【0031】このように、ビットバッファ102がオーバーフローすると、多数のピクチャがデコード不可能になるため、それらのピクチャの分だけ再生される動画にコマ落ちが生じる。その結果、動画の動きが滑らかにならずギクシャクしたものになって画質が劣化し見辛くなる。

【0032】②高速再生時において、ビデオストリームスキップ回路105の制御は極めて複雑である。そのため、ビデオストリームスキップ回路105を制御する制御コア回路106は、マイクロコンピュータを用いて構成しなければならない。従って、マイクロコンピュータを設けることによるコストの増大ならびに装置全体の大型化を避けることができない。

【0033】③高速再生時におけるビデオストリームスキップ回路105の制御は再生速度に従ってなされるため、ノード105b側からスキップされるビデオストリームはピクチャとは無関係になる。従って、高速再生時において、ビデオストリームスキップ回路105からビットバッファ102へ転送されるビデオストリームには、途中でデータが途切れたピクチャが含まれることになり、ビットバッファ102に蓄積されるビデオストリームは不連続になる。

【0034】ビデオストリームが不連続になってIピクチャまたはPピクチャが途切れると、次のIピクチャがビットバッファ102へ転送されてくるまでの間の全てのPピクチャおよびBピクチャを生成することができなくなる。つまり、高速再生時においてデコードコア回路104でデコード可能なのは、途中でデータが途切れていないIピクチャだけになる。

【0035】記録媒体から読み出されたビデオストリーム中にIピクチャが含まれる割合はせいぜい1~2枚/秒である。そのため、2~4倍という比較的遅い高速再生時には、デコード不可能なピクチャの分だけ再生される動画にコマ落ちが生じ、1~2コマ/秒しか表示することができない。その結果、高速再生とはいってもコマ送り再生と同様の非常に劣悪な動画しか得ることができない。つまり、動画の動きが滑らかにならずギクシャクしたものになって画質が劣化し見辛くなる。

【0036】例えば、記録媒体としてビデオCDを用いた場合には、トラックジャンプ方式が用いられる。この方式では、ビデオCDプレーヤの光ピックアップをビデオCDの記録トラック(CDの一周)間で飛び飛びに走査させ、ある量のビデオストリームを読みだしては別の記録トラックに飛び移るという操作を繰り返す。そして、ビデオCDから読み出されたビデオストリーム中にたまたまIピクチャが含まれていれば、そのIピクチャをデコードする。この場合、ビデオCDから読み出されたビデオストリーム中の全てのIピクチャをデコードすることは不可能であり、デコードできないIピクチャが

生じるため、2~4倍という比較的遅い高速再生時には、0.1~0.5コマ/秒しか表示することができない。また、ビデオCDから1回に読み出されたビデオストリーム中に含まれるIピクチャの数が一定していない(一つのIピクチャも読みだせないことがある)ため、1コマと1コマの間隔が一定せず、非常に劣悪な動画しか得ることができない。

【0037】但し、ビデオCDv2.0規格では、Iピクチャ・スキャン方式が用いられる。この方式では、ビデオストリーム中にIピクチャが格納されている記録トラックの情報が規定されている。その情報は「スキャンインフォメーション」と呼ばれる。このスキャンインフォメーションを用いてビデオCDプレーヤの光ピックアップを制御することで、ビデオCDから読み出されたビデオストリーム中の全てのIピクチャをデコードすることが可能になる。しかし、この場合でも、上記のように、2~4倍という比較的遅い高速再生時には、1~2コマ/秒しか表示することができない。

【0038】ところで、ピクチャには上記したI、P、Bピクチャの3つのタイプの他に、Dピクチャが規定されている。DピクチャはDCT(Discrete Cosine Transform)係数のうちのDC(Direct Current)成分のみから成り、I、P、Bピクチャと同じシーケンスに共存することはない。このDピクチャは、ユーザが見たい動画を探索する際に早送り再生または早送り逆転再生を行うことを想定して規定されている。しかし、Dピクチャはビデオストリーム中にほとんど含まれていないため、Dピクチャに基づいて高速再生を行った場合でもやはり、2~4倍という比較的遅い高速再生時には、動画の動きが滑らかにならず画質が劣化する。

【0039】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) ビットバッファのオーバーフローを回避することが可能で且つ簡単な構成のデコーダおよびMPEGビデオデコーダを提供する。

【0040】2) 特殊再生時における動画の動きを滑らかにして画質を向上させることと、ビットバッファのオーバーフローを回避することが共に可能で、且つ簡単な構成のMPEGビデオデコーダを提供する。

【0041】3) 特殊再生時における動画の動きを滑らかにして画質を向上させることと、ビットバッファのオーバーフローおよびアンダーフローを回避することが共に可能で、且つ簡単な構成のMPEGビデオデコーダを提供する。

【0042】

【課題を解決するための手段】請求項1に記載の発明は、ビットバッファがオーバーフローしないように制御することをその要旨とする。

【0043】請求項2に記載の発明は、ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を

越えないように制御することをその要旨とする。請求項3に記載の発明は、ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を越えた場合には、占有量が閾値を下回るまでビットバッファからデータをスキップさせることをその要旨とする。

【0044】請求項4に記載の発明は、ビットバッファ(2)の占有量( $B_m$ )が予め定めた閾値( $B_{thn}$ )を越えた場合には、占有量が閾値を下回るまでビットバッファからデータをスキップさせ、占有量が閾値を越えない場合には通常のデコードを行うことをその要旨とする。

【0045】請求項5に記載の発明は、ビットバッファ(2)と、ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、ビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップさせる判定制御回路(5, 6, 7)とを備えたことをその要旨とする。

【0046】請求項6に記載の発明は、ビデオストリームを蓄積するビットバッファ(2)と、ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、動画の再生速度に基づいてビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップさせる判定制御回路(5, 6, 7)とを備えたことをその要旨とする。

【0047】請求項7に記載の発明は、ビデオストリームを蓄積するビットバッファ(2)と、ビットバッファから読み出された各ピクチャをMPEGビデオパートに準拠してデコードするデコードコア回路(4)と、動画の再生速度に基づいてビットバッファの占有量( $B_m$ )の閾値( $B_{thn}$ )を設定すると共に、占有量が閾値を越えた場合には、占有量が閾値を下回るまでビットバッファからデコードコア回路へ供給されるピクチャをスキップし、スキップするピクチャはBピクチャだけで、PピクチャおよびIピクチャはスキップしない判定制御回路(5, 6, 7)とを備えたことをその要旨とする。

【0048】請求項8に記載の発明は、請求項5~7のいずれか1項に記載のMPEGビデオデコーダにおいて、前記判定制御回路は、IピクチャまたはPピクチャの読み出し後にビットバッファの占有量が閾値を下回っても、次にビットバッファから読み出されるピクチャがBピクチャであればスキップすることをその要旨とする。

【0049】請求項9に記載の発明は、請求項5~8のいずれか1項に記載のMPEGビデオデコーダにおい

て、前記判定制御回路は、IピクチャまたはPピクチャの読み出し後にビットバッファの占有量が第1の閾値( $B_{2thn}$ )を越えた場合、または、Pピクチャの読み出し後にビットバッファの占有量が第2の閾値( $B_{3thn}$ )を越えた場合、次にビットバッファから読み出されるピクチャがBピクチャであればスキップし、第1の閾値を第2の閾値よりも高い値に設定することをその要旨とする。

【0050】請求項10に記載の発明は、請求項5~9のいずれか1項に記載のMPEGビデオデコーダにおいて、前記ビットバッファに蓄積されるビデオストリームについて、ビットバッファに入力される前に、ビデオストリームに含まれる各ピクチャのタイプを検出すると共に各ピクチャのデータ量を解析するビデオストリーム解析回路(12)を備え、前記判定制御回路は、ビデオストリーム解析回路の解析したビデオストリームに含まれる各ピクチャのタイプおよび各ピクチャのデータ量に基づいて、スキップするピクチャを選定することをその要旨とする。

【0051】請求項11に記載の発明は、請求項5~10のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路が生成した各ピクチャのデコード結果を格納するフレームバッファを備え、そのフレームバッファの内部は前方参照領域、後方参照領域、Bピクチャ格納領域の3つの領域に分けられ、Bピクチャをスキップする際にはBピクチャ格納領域を前記ビットバッファの増設メモリとして流用することをその要旨とする。

【0052】請求項12に記載の発明は、請求項5~11のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路は、1フレーム期間内に2つのIピクチャまたはPピクチャをデコードし、先にデコードしたIピクチャまたはPピクチャについては順方向予測または双方向予測を行うための中途データとして扱い、後でデコードしたIピクチャまたはPピクチャだけを再生ピクチャとして扱うことをその要旨とする。

【0053】請求項13に記載の発明は、請求項5~11のいずれか1項に記載のMPEGビデオデコーダにおいて、前記デコードコア回路が生成した各ピクチャのデコード結果を格納するフレームバッファを備え、そのフレームバッファの内部は前方参照領域、後方参照領域、Bピクチャ格納領域の3つの領域に分けられ、前記デコードコア回路は、1フレーム期間内に2つのIピクチャまたはPピクチャをデコードし、先にデコードしたIピクチャまたはPピクチャについては順方向予測または双方向予測を行うための中途データとして扱い、その中途データはBピクチャ格納領域に格納し、後でデコードしたIピクチャまたはPピクチャだけを再生ピクチャとして扱うことをその要旨とする。

【0054】請求項14に記載の発明は、請求項5~1



3のいずれか1項に記載のMPEGビデオデコーダにおいて、前記閾値または第1および第2の閾値は、ビデオストリームのシーケンスの先頭に付くシーケンスヘッダによって規定されるバッファサイズ(Vbv Buffer Size)とビットレート(Bit Rate)とピクチャレート(Picture Rate)と、通常の再生速度に対する実際の再生速度の倍率(n)とによって設定されることをその要旨とする。

【0055】請求項1に記載の発明によれば、ビットバッファがオーバーフローしないように制御することにより、オーバーフローを回避することができる。請求項2に記載の発明によれば、ビットバッファの占有量が予め定めた閾値を越えないように制御することにより、ビットバッファのオーバーフローを回避することができる。

【0056】請求項3または請求項4に記載の発明によれば、ビットバッファからデータをスキップさせることにより、ビットバッファのオーバーフローを回避することができる。ここで、スキップするデータをピクチャ単位とすれば、IピクチャだけでなくPピクチャおよびBピクチャについてもデコードすることが可能になる。その結果、再生される動画に生じるコマ落ちが少なくなり、動画の動きが滑らかなものになって画質が向上し見易くなる。また、請求項4に記載の発明によれば、占有量が閾値を越えない場合には通常のデコードを行うことができる。

【0057】請求項5に記載の発明によれば、判定制御回路によってビットバッファの占有量の閾値が設定され、その閾値に基づいてビットバッファからビデオストリームをスキップさせることにより、ビットバッファのオーバーフローを回避することができる。

【0058】請求項6に記載の発明によれば、判定制御回路によって動画の再生速度に基づいてビットバッファの占有量の閾値が設定され、その閾値に基づいてビットバッファからピクチャ単位でビデオストリームをスキップさせることにより、ビットバッファのオーバーフローを回避することができる。ビデオストリームのスキップはピクチャ単位で行われるため、IピクチャだけでなくPピクチャおよびBピクチャについてもデコードすることが可能になる。その結果、動画の動きを滑らかにすることができる。

【0059】請求項7に記載の発明によれば、重要度の低いBピクチャをスキップすることで、ビットバッファのオーバーフローを回避した上で、動画の動きを滑らかにすることができる。

【0060】請求項8に記載の発明によれば、Bピクチャを予めスキップしておくことで、ビットバッファの次のオーバーフローに対して予防措置を講ずることができる。

【0061】請求項9に記載の発明によれば、Iピクチャに対する前記予防措置の閾値(第1の閾値)を、Pピ

クチャに対する予防措置の閾値(第2の閾値)よりも高い値に設定することで、Iピクチャに対する予防措置をPピクチャのそれに比べて緩くすることができる。その結果、Bピクチャの無駄なスキップを少なくすることが可能になり、動画の動きをさらに滑らかにすることができる。

【0062】請求項10に記載の発明によれば、スキップするピクチャを最適に選定することが可能になり、特に、Bピクチャの無駄なスキップを少なくすることができる。

【0063】請求項11に記載の発明によれば、4倍速再生以上の高速再生時ではBピクチャが全てスキップされるため、フレームバッファのBピクチャ格納領域の分だけビットバッファの容量を増大させることができる。その結果、ビットバッファのオーバーフローを確実に回避することができる。

【0064】請求項12に記載の発明によれば、スキップされるPピクチャが減ってデコード可能なPピクチャが増える。その結果、デコード可能なBピクチャも増える。従って、高速再生時における動画の動きをさらに滑らかにすることができる。

【0065】請求項13に記載の発明によれば、前記中途データの格納にフレームバッファのBピクチャ格納領域を流用できるため、中途データの格納用のフレームバッファを別個に設ける必要がなくなる。

【0066】請求項14に記載の発明によれば、前記閾値または第1および第2の閾値を最適に設定することができる。

【0067】

30 【発明の実施の形態】

(第1実施形態)以下、本発明を具体化した第1実施形態を図1および図2に従って説明する。

【0068】図1に、高速再生機能を備えた本実施形態のMPEGビデオデコーダの要部ブロック回路を示す。MPEGビデオデコーダ1は、ビットバッファ2、ピクチャヘッダ検出回路3、MPEGビデオデコードコア回路(以下、デコードコア回路と略す)4、可変閾値オーバーフロー判定回路(以下、判定回路と略す)5、ピクチャスキップ回路6、制御コア回路7から構成されている。尚、各回路3~7は1チップのLSIに搭載されている。

【0069】制御コア回路7は各回路2~6を制御する。ビデオCDなどの記録媒体から読み出されたビデオストリームはビットバッファ2へ転送される。

【0070】ビットバッファ2はFIFO構成のRAMから成るリングバッファによって構成され、転送されてくるビデオストリームをそのまま順次蓄積する。ビットバッファ2が設けられているのは、従来のMPEGビデオデコーダ101においてビットバッファ102が設けられているのと同様に、I、P、Bの各ピクチャのデー



タ量の相違を吸収するためである。

【0071】ピクチャヘッダ検出回路3は、ビットバッファ2に蓄積されたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、その各ピクチャヘッダに規定されているピクチャのタイプ(I, P, B)を検出する。

【0072】制御コア回路7は、ピクチャヘッダ検出回路3の検出結果と後記する判定回路5の判定結果とに基づいて、ビットバッファ2から1フレーム期間毎に適宜なピクチャ分のビデオストリームを読み出す。尚、ビットバッファ2から読み出されたビデオストリームは、読み出された後もビットバッファ2にそのまま残される。

【0073】ビットバッファ2から読み出された各ピクチャは、ピクチャスキップ回路6を介してデコードコア回路4へ転送される。デコードコア回路4は、各ピクチャをMPEGビデオパートに準拠してデコードし、各ピクチャ毎のビデオ出力を生成する。そのビデオ出力は、MPEGビデオデコーダ1の外部に設けられたディスプレイ8へ出力される。

【0074】ピクチャスキップ回路6は、制御コア回路7の制御に従って各ノード6a, 6b側への接続が切り換えられる。そして、ピクチャスキップ回路6がノード6a側に接続されると、ビットバッファ2から読み出されたピクチャはそのままデコードコア回路4へ転送される。また、ノード6b側に接続されると、ビットバッファ2から読み出されたピクチャはビットバッファ2へ転送されずにスキップされる。その結果、デコードコア回路4へ転送されるピクチャは、ピクチャスキップ回路6によってスキップされた分だけピクチャ単位で間引かれる。

【0075】判定回路5は、外部から指定された再生速度に基づいてビットバッファ2の占有量 $B_m$ の閾値 $B_{thn}$ を設定し、ビットバッファ2の占有量 $B_m$ と閾値 $B_{thn}$ とを比較する。尚、外部からの再生速度の指定は、通常の再生速度に対する倍率 $n$ によって行われる。例えば、2倍速再生時には倍率 $n=2$ となり、閾値 $B_{thn}=B_{th2}$ となる。また、通常の再生時には倍率 $n=1$ となり、閾値 $B_{thn}=B_{th1}$ となる。

【0076】そして、判定回路5は、ビットバッファ2の占有量 $B_m$ が閾値 $B_{thn}$ を越えない場合には、ビットバッファ2がオーバーフローする恐れがなく正常であると判定する。この場合、制御コア回路7は、ビットバッファ2から1ピクチャ分のビデオストリームを読み出す。そして、制御コア回路7は、ピクチャスキップ回路6をノード6a側に接続し、そのビットバッファ2から読み出されたピクチャをデコードコア回路4へ転送させる。

【0077】また、判定回路5は、ビットバッファ2の占有量 $B_m$ が閾値 $B_{thn}$ を越えた場合には、ビットバッファ2がオーバーフローする恐れがあると判定する。こ

の場合、制御コア回路7は、ビットバッファ2の占有量 $B_m$ が閾値 $B_{thn}$ を下回るまで、ビットバッファ2から適宜なピクチャ分のビデオストリームを読み出す。そして、制御コア回路7は、ピクチャスキップ回路6をノード6b側に接続し、そのビットバッファ2から読み出された適宜なピクチャ分のビデオストリームを全てスキップさせる。

【0078】図2に、本実施形態におけるビットバッファ2の占有量 $B_m$ の変化を示す。前記したように、通常の再生時におけるビットバッファ2の占有量 $B_m$ はビットレート $RB$ をグラフの傾きとして上昇する。

【0079】本実施形態のMPEGビデオデコーダ1においても、従来のMPEGビデオデコーダ101と同様に、通常の再生時においては、式(4)が満たされるように、ビットレート $RB$ 、ピクチャレート $RP$ 、容量 $B$ の各値が規定されている。つまり、式(2)に示すようにビットバッファ2の容量 $B$ を設定しておけば、ピクチャスキップ回路6の接続をノード6a側に固定しておいたとしても、理想的な状態ではビットバッファ2がオーバーフローしたりアンダーフローしたりすることはない。

【0080】従って、通常の再生時において、ビットバッファ2から1ピクチャ分のデータが一気に読み出された直後の占有量 $B_m (=B_0 \sim B_4)$ は、閾値 $B_{th1}$ に基づいて、式(5)に示す条件を満たすように規定される。尚、閾値 $B_{th1}$ は、式(4)に基づいて、式(6)に示すように設定される。

【0081】

$$0 < B_m < B_{th1} < B \quad \dots\dots (5)$$

$$B_{th1} = B - X = B - (RB / RP) \quad \dots\dots (6)$$

ところで、実際の状態では、式(2)に示すようにビットバッファ2の容量 $B$ を設定しておいても、ピクチャスキップ回路6の接続をノード6a側に固定しておくと、前記(1)(2)に示す場合においてビットバッファ2がオーバーフローする恐れがある。

【0082】しかし、本実施形態では、通常の再生時において、ビットバッファ2の占有量 $B_m$ が閾値 $B_{th1}$ を越えた場合、ビットバッファ2がオーバーフローする恐れがあると判定される。すると、ビットバッファ2の占有量 $B_m$ が閾値 $B_{th1}$ を下回るまで、ビットバッファ2から適宜なピクチャ分のビデオストリームが読み出される。そして、ピクチャスキップ回路6はノード6b側に接続され、そのビットバッファ2から読み出された適宜なピクチャ分のビデオストリームは全てスキップされる。従って、本実施形態によれば、通常の再生時において、前記(1)(2)に示す場合にもビットバッファ2がオーバーフローすることはない。

【0083】高速再生時におけるビットバッファ2の占有量 $B_m$ はビットレート $n \times RB$ をグラフの傾きとして上昇する。例えば、2倍速再生時におけるビットバッ

ア2の占有量 $B_m$ はビットレート $2 \times RB$ をグラフの傾きとして上昇する。

【0084】従って、高速再生時において、ビットバッファ2から1ピクチャ分のデータが一気に読み出された直後の占有量 $B_m (= B_0 \sim B_4)$ は、閾値 $B_{thn}$ に基\*

$$0 < B_m < B_{thn}$$

$$B_{thn} = B - n \times X = B - (n \times RB / RP) \quad \dots\dots\dots (7)$$

高速再生時においては、ビットバッファ2の占有量 $B_m$ が閾値 $B_{thn}$ を越えた場合、ビットバッファ2がオーバーフローする恐れがあると判定される。例えば、2倍速再生時には占有量 $B_m$ が閾値 $B_{th2} (= B - (2 \times RB / RP))$ を越えた場合、3倍速再生時には占有量 $B_m$ が閾値 $B_{th3} (= B - (3 \times RB / RP))$ を越えた場合に、ビットバッファ2がオーバーフローする恐れがあると判定される。すると、ビットバッファ2の占有量 $B_m$ が閾値 $B_{thn}$ を下回るまでビットバッファ2から適宜なピクチャ分のビデオストリームが読み出され、そのビデオストリームは全てスキップされる。従って、本実施形態によれば、高速再生時において、前記(2)に示す場合にもビットバッファ2がオーバーフローすることはない。

【0086】デコードコア回路4において任意のピクチャをデコードしている途中でビットバッファ2がオーバーフローすると、デコード処理中のピクチャのビットバッファ2に残っている部分に対して、新たに入力されたビデオストリームが上書きされる。その結果、デコード処理中のピクチャのビットバッファ2に残っている部分が破壊されて失われる。すると、デコードコア回路4では、そのピクチャのデコードを完了することが不可能になり、そのピクチャのビデオ出力を生成することができなくなる。従って、デコードコア回路4において任意のピクチャをデコードしている途中でビットバッファ2がオーバーフローすることは絶対に避けなければならない。

【0087】そのため、ビットバッファ2がオーバーフローする恐れがあるかどうかの判定は、デコードコア回路4において任意のピクチャのデコードを開始する前に行う必要がある。より正確には、ピクチャヘッダ検出回路3がピクチャヘッダを検出した時点で、ビットバッファ2がオーバーフローする恐れがあるかどうかを判定し、そのピクチャをピクチャスキップ回路6を介してスキップするかどうかを決定する必要がある。

【0088】ところで、1つのピクチャのデータ量は0～40バイトであるが、そのデータ量はデコードコア回路4においてデコードが終了した時点でないとわからない。また、1つのピクチャのデコード処理時間は、そのピクチャのデータ量やデコードコア回路4の動作速度によって異なるが、通常、1フレーム期間の $1/3 \sim 3/4$ 程度である。

【0089】ビットバッファ2から読み出されたピクチャ

\*づいて、式(7)に示す条件を満たすように規定される。尚、閾値 $B_{thn}$ は式(8)に示すように設定される。

【0085】

$$\dots\dots\dots (7)$$

$$\dots\dots\dots (8)$$

ャのデータ量が0バイトの場合、そのピクチャの読み出し前後でビットバッファ2の占有量 $B_m$ は変化しないため、そのピクチャをスキップしたとしてもオーバーフローを回避することはできない。逆に言えば、ビットバッファ2から読み出されたピクチャのデータ量が0バイトの場合でも、ビットバッファ2に十分な空き容量があればオーバーフローすることはない。

【0090】そこで、1フレーム期間に記録媒体から読み出されてビットバッファ2に入力されるビデオストリームのデータ量分の空き容量を、ビットバッファ2に確保しておく。そうすれば、ビットバッファ2から読み出されたピクチャのデータ量が0バイトの場合でもオーバーフローすることはない。

【0091】1フレーム期間に記録媒体から読み出されてビットバッファ2に入力されるビデオストリームのデータ量は、 $(n \times X = n \times RB / RP)$ になる。ビットバッファ2の空き容量がこのデータ量以上であればオーバーフローすることはない。従って、式(8)に示すように閾値 $B_{thn}$ を設定しておけば、ビットバッファ2のオーバーフローを確実に回避することができる。

【0092】すなわち、判定回路5は、ピクチャヘッダ検出回路3がピクチャヘッダを検出した時点でビットバッファ2の空き容量をチェックし、十分な空き容量 $(n \times X = n \times RB / RP)$ が確保されているかどうかを判定する。十分な空き容量が確保されていないければ、そのピクチャヘッダに基づいて制御コア回路7がビットバッファ2から読み出したピクチャを、ピクチャスキップ回路6を介してスキップする。続いて、判定回路5は、ピクチャヘッダ検出回路3が次のピクチャヘッダを検出した時点で、再びビットバッファ2の空き容量をチェックする。これらの処理に要する時間は、デコードコア回路4のデコード処理時間に比べてはるかに短いため、ビットバッファ2に十分な空き容量が確保できてからデコードコア回路4のデコード処理を開始しても十分に間に合う。

【0093】ところで、ピクチャヘッダ検出回路3がピクチャヘッダを検出した時点や、デコードコア回路4がデコードを開始した後に、ビットバッファ2がアンダーフローすることがある。この場合は、記録媒体から読み出されたビデオストリームがビットバッファ2に入力され次第、ビットバッファ2から1ピクチャ分のビデオストリームを逐次読み出せばよいとため、特に問題とはならない。

【0094】以上詳述したように本実施形態によれば、以下に示す効果を得ることができる。

①通常の再生時において、前記(1)(2)に示す場合を含めてビットバッファ2のオーバーフローを回避することができる。

【0095】②高速再生時において、前記(2)に示す場合を含めてビットバッファ2のオーバーフローを回避することができる。

③判定回路5およびピクチャスキップ回路6を設けることにより、従来のMP EGビデオデコーダ101のようにビデオストリームスキップ回路105を設けることなく、ビットバッファ2のオーバーフローを回避することができる。上記したように判定回路5およびピクチャスキップ回路6の制御は簡単であるため、制御コア回路7はマイクロコンピュータを用いて構成する必要がない。そして、各回路3〜7は1チップのLSIに搭載されている。従って、本実施形態によれば、従来例のようにコストが増大することはなく装置全体が大型化することもない。

【0096】④ピクチャスキップ回路6のノード6b側からスキップされるビデオストリームは、ピクチャ単位となる。そのため、デコードコア回路4へ転送されるピクチャの途中でデータが途切れることはない。従って、デコードコア回路4では、IピクチャだけでなくPピクチャやBピクチャについてもデコード可能になる。その結果、ディスプレイ8で再生される動画に生じるコマ落ちが少なくなる。そのため、2〜4倍という比較的遅い高速再生時において、数コマ/秒の表示が可能になる。従って、高速再生時における動画の動きを滑らかにして画質を大幅に向上させることができる。

【0097】(第2実施形態)次に、本発明を具体化した第2実施形態を図1および図3に従って説明する。本実施形態のMP EGビデオデコーダの構成は第1実施形態のそれと同じである。本実施形態では、式(9)に示す規定を満たすように、2つの閾値B2thn, B3thnが設定されている。尚、各閾値B2thn, B3thnの値は、第1実施形態のように再生速度に応じて設定されると共に、ディスプレイ8で再生される動画の画質を実際に検討して適宜に設定すればよい。

【0098】 $0 < B3thn < B2thn < B$  ..... (9)  
判定回路5は、ビットバッファ2の占有量Bmと各閾値Bthn, B2thnとを比較し、占有量Bmが式(10)〜(12)に示すどの領域に含まれるかを判定する。

【0099】 $Bm < B3thn$  ..... (10)

$B3thn < Bm < B2thn$  ..... (11)

$B2thn < Bm$  ..... (12)

判定回路5は、式(10)に示すように、ビットバッファ2の占有量Bmが閾値B3thnを越えない場合には、ビットバッファ2がオーバーフローする恐れがなく正常であると判定する。この場合、制御コア回路7は、ビット

バッファ2から1ピクチャ分のビデオストリームを読み出す。そして、制御コア回路7は、ピクチャスキップ回路6をノード6a側に接続し、そのビットバッファ2から読み出されたピクチャをデコードコア回路4へ転送させる。

【0100】判定回路5は、式(12)に示すように、ビットバッファ2の占有量Bmが閾値B2thnを越え且つ閾値Bthnを越えない場合に、ビットバッファ2から読み出されたピクチャがIピクチャまたはPピクチャならば、第1のフラグを立てる。また、式(11)に示すように、ビットバッファ2の占有量Bmが閾値B3thnを越え且つ閾値B2thnを越えない場合に、ビットバッファ2から読み出されたピクチャがPピクチャならば、第2のフラグを立てる。第1または第2のフラグが立っている場合、式(10)に示す場合でも、制御コア回路7は、ビットバッファ2から読み出されたピクチャがBピクチャならば、ピクチャスキップ回路6をノード6b側に接続し、そのピクチャをスキップさせる。

【0101】図3に、本実施形態におけるビットバッファ2の占有量Bmの変化を示す。占有量Bmが閾値B3thnを越えた場合、ビットバッファ2から読み出されたピクチャがBピクチャであればデコードせずにスキップする(図示※1)。ここで、Bピクチャのスキップ後に占有量Bmがまだ閾値B3thnを越えていても、ビットバッファ2から次に読み出されたピクチャがIピクチャまたはPピクチャであればデコードする(図示※2)。

【0102】占有量Bmが閾値B3thnを越えた場合でも、ビットバッファ2から読み出されたピクチャがIピクチャまたはPピクチャであればデコードする(図示※3)。ここで、IピクチャまたはPピクチャのデコード後に占有量Bmがまだ閾値B3thnを越えている場合、ビットバッファ2から次に読み出されたピクチャがBピクチャであればデコードせずにスキップする(図示※4)。このBピクチャのスキップは、占有量Bmが閾値B3thnを下回るまで繰り返し行う(図示※5)。

【0103】占有量Bmが閾値B2thnを越えた場合、ビットバッファ2から読み出されたピクチャがIピクチャまたはPピクチャであれば、判定回路5は第1のフラグを立てる(図示※6)。第1のフラグが立っている場合、ビットバッファ2から次に読み出されたピクチャがBピクチャであれば、占有量Bmが閾値B3thnを下回っていても、そのBピクチャをスキップする(図示※7)。

【0104】占有量Bmが閾値B3thnを越え且つ閾値B2thnを越えない場合、ビットバッファ2から読み出されたピクチャがPピクチャであれば、判定回路5は第2のフラグを立てる(図示※8)。第2のフラグが立っている場合、ビットバッファ2から次に読み出されたピクチャがBピクチャであれば、占有量Bmが閾値B3thnを下回っていても、そのBピクチャをスキップする(図示※

9)。

【0105】占有量 $B_m$ が閾値 $B_{3thn}$ を越え且つ閾値 $B_{2thn}$ を越えない場合、ビットバッファ2から読み出されたピクチャがIピクチャのときには、判定回路5は第2のフラグを立てない(図示※10)。第2のフラグが立っていない場合、占有量 $B_m$ が閾値 $B_{3thn}$ を下回っているならば、ビットバッファ2から次に読み出されたピクチャがBピクチャであってもデコードする。

【0106】以上詳述したように本実施形態によれば、第1実施形態の効果に加えて、以下に示す効果を得ることができる。

①ビットバッファ2の占有量 $B_m$ が閾値 $B_{3thn}$ を越え且つ閾値 $B_{2thn}$ を越えない場合、IピクチャおよびPピクチャを可能な限りデコードすると共に、Bピクチャを優先してスキップする。

【0107】Bピクチャは双方向予測によって生成されるため、その重要度はIピクチャやPピクチャに比べて低い。従って、重要度の低いBピクチャを優先してスキップすることにより、ディスプレイ8で再生される動画に生じるコマ落ちを第1実施形態よりも少なくすることができる。その結果、高速再生時における動画の動きをさらに滑らかにして画質をより向上させることができる。

【0108】②第1のフラグを設定することで、IピクチャまたはPピクチャのデコード後にビットバッファ2の占有量 $B_m$ が閾値 $B_{3thn}$ を下回っても、余裕をみて次にビットバッファ2から読み出されるBピクチャを予めスキップすることができる。また、第2のフラグを設定することで、Pピクチャのデコード後にビットバッファ2の占有量 $B_m$ が閾値 $B_{3thn}$ を下回っても、余裕をみて次にビットバッファ2から読み出されるBピクチャを予めスキップすることができる。

【0109】このように、Bピクチャを予めスキップすることは、ビットバッファ2の次のオーバーフローに対して予防措置を講ずることに他ならない。従って、ビットバッファ2のオーバーフローをより確実に回避することができる。

【0110】③Iピクチャのデータ量はPピクチャのその2～3倍と多い。そのため、Pピクチャが読み出された場合に比べて、Iピクチャが読み出された場合の方がビットバッファ2の占有量 $B_m$ の減少の度合いが大きい。従って、Pピクチャが読み出された後よりも、Iピクチャが読み出された後の方がビットバッファ2がオーバーフローする可能性が小さくなる。そこで、第1および第2のフラグを設定することにより、IピクチャとPピクチャとで前記予防措置に差をつける。すなわち、Iピクチャに対する予防措置の閾値 $B_{2thn}$ を、Pピクチャに対する予防措置の閾値 $B_{3thn}$ よりも高い値に設定することで、Iピクチャに対する予防措置をPピクチャのそれに比べて緩くすることが可能になる。その結果、Bピ

クチャの無駄なスキップを少なくすることができる。

【0111】④以下のa) b)に示すGOP構成(ピクチャのタイプの並び)のビデオストリームが記録媒体から読み出された場合において、本実施形態の高速再生時の効果についてシミュレーションしたところ、以下に示す結果が得られた。

【0112】a) I B P B P B P B P . . .

b) I B B P B B P B B P B B P B B I B P . . .

[1] 2倍速再生時; a)の場合、IピクチャおよびPピクチャの全てがデコード可能であり、その結果、30コマ/秒のフルレートで表示できる。b)の場合、IピクチャおよびPピクチャの全てとBピクチャの一部がデコード可能であり、その結果、25コマ/秒以上で表示できる。

【0113】[2] 4倍速再生時; a) b)共に、Iピクチャおよびそれに続く3～4枚のPピクチャがデコード可能であり、その結果、15コマ/秒以上で表示できる。

(第3実施形態)次に、本発明を具体化した第3実施形態を図4に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0114】図4に、特殊再生機能(高速再生機能、低速再生機能、コマ送り再生機能)を備えた本実施形態のMPEGビデオデコーダの要部ブロック回路を示す。本実施形態のMPEGビデオデコーダ11は、第1実施形態のMPEGビデオデコーダ1の各回路2～7に加えて、ピクチャヘッダ検出・データ量解析回路(以下、解析回路と略す)12、レジスタ13、14から構成されている。尚、各回路3～7、12～14は1チップのLSIに搭載されている。

【0115】制御コア回路7は各回路2～6、12～14を制御する。ビデオCDなどの記録媒体から読み出されたビデオストリームは、解析回路12を介してビットバッファ2へ転送される。

【0116】解析回路12は、以下に示す2つの機能を有している。①記録媒体から読み出されたビデオストリームの各ピクチャの先頭に付くピクチャヘッダを検出し、その各ピクチャヘッダに規定されているピクチャのタイプ(I, P, B)を検出する。②検出した各ピクチャのデータ量を解析する。

【0117】各レジスタ13、14はFIFO構成のRAMから成る。レジスタ13は、解析回路12の検出した各ピクチャのタイプを順次蓄積する。つまり、レジスタ13には、ビットバッファ2に蓄積されているビデオストリームのGOP構成が記録される。

【0118】レジスタ14は、解析回路12の解析した各ピクチャのデータ量を順次蓄積する。判定回路5は、以下に示す2つの機能を有している。①第2実施形態と同様に、ビットバッファ2の占有量 $B_m$ と各閾値 $B_{2th}$

n, B3thnとを比較し、占有量Bm が式(10)～(12)に示すどの領域に含まれるかを判定する。②レジスタ13に記録されたGOP構成と、レジスタ14に記録された各ピクチャのデータ量と、前記①の判定結果とに基づいて、スキップするピクチャを選定する。

【0119】第1および第2実施形態において、ビデオストリームのGOP構成および各ピクチャのデータ量は、デコードコア回路4においてデコードが終了した時点でないとわからない。

【0120】しかし、本実施形態では、解析回路12を設けたことにより、ビデオストリームをビットバッファ2に入力する前に、そのGOP構成および各ピクチャのデータ量を解析することができる。つまり、ビットバッファ2がオーバーフローする恐れがあるかどうかの判定を、ビットバッファ2にビデオストリームを入力する前に行うことができる。従って、ビデオストリームのGOP構成および各ピクチャのデータ量に対応して、スキップするピクチャを最適に選定することができる。その結果、特に、Bピクチャの無駄なスキップを最小限に抑えることができる。

【0121】以上詳述したように本実施形態によれば、第2実施形態の効果に加えて、以下に示す効果を得ることができる。

①ビットバッファ2のオーバーフローを回避した上でデコード可能なBピクチャが増える。従って、高速再生時における動画の動きをさらに滑らかにして画質をより向上させることができる。

【0122】②ビットバッファ2に蓄積されているピクチャの数および各ピクチャのデータ量を把握することができるため、ビットバッファ2の占有量Bm を正確に知ることができる。また、任意のピクチャが読み出された後のビットバッファ2の占有量Bm の減少の度合いを正確に知ることにもできる。

【0123】一般に、低速再生時やコマ送り再生時において、記録媒体から読み出されるビデオストリームのビットレートは通常の再生時と同じである。つまり、低速再生時やコマ送り再生時には、単位時間当たりにビットバッファ2から読み出されるピクチャの数を減らすことで、ディスプレイ8で再生される動画のコマ数を減らすようにしている。しかし、前記したように、従来のMPEGビデオデコーダ101では、任意のピクチャが読み出された後のビットバッファ2の占有量Bm の減少の度合いがわからなかった。そのため、オーバーフローやアンダーフローを避けるため、ビットバッファ2からピクチャが読み出される度に、記録媒体からビデオストリームを読み出してビットバッファ2へ転送させていた。従って、記録媒体からビデオストリームを読み出す操作を頻繁に繰り返さなければならなかった。例えば、記録媒体としてビデオCDを用いた場合、ビデオCDから頻繁にビデオストリームを読み出すとなると、ビデオCDブ

レーヤの光ピックアップの駆動装置の制御が複雑になる上に、駆動装置にかかる機械的な負担も大きくなって故障し易くなる。

【0124】本実施形態では、任意のピクチャが読み出された後のビットバッファ2の容量の減少の度合いを正確に知ることができるため、オーバーフローやアンダーフローの可能性が高くなったときにだけ、記録媒体からビデオストリームを読み出せばよい。従って、本実施形態によれば、低速再生時やコマ送り再生時において、記録媒体からビデオストリームを読み出す操作を減らすことができる。そのため、記録媒体としてビデオCDを用いた場合、ビデオCDプレーヤの光ピックアップの駆動装置の制御が簡単になる上に、駆動装置にかかる機械的な負担を小さくして故障を減らすことができる。

【0125】(第4実施形態)次に、本発明を具体化した第4実施形態を図5に従って説明する。尚、本実施形態において、第3実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0126】図5に、特殊再生機能を備えた本実施形態のMPEGビデオデコーダの要部ブロック回路を示す。本実施形態のMPEGビデオデコーダ21は、第3実施形態のMPEGビデオデコーダ11の各回路2～7、12～14に加えて、フレームバッファ22から構成されている。

【0127】制御コア回路7は各回路2～6、12～14、22を制御する。デコードコア回路4で生成された各ピクチャのデコード結果(ビデオ出力)は、フレームバッファ22の各領域22a～22cへ転送される。また、フレームバッファ22の各領域22a～22cから読み出された各ピクチャのデコード結果は、デコードコア回路4へ転送される。

【0128】フレームバッファ22はRAMから成り、その内部は3つの領域(前方参照領域22a、後方参照領域22b、Bピクチャ格納領域22c)に分けられている。前方参照領域22aには、デコードコア回路4において逆方向予測を行う際に用いられる未来のIピクチャまたはPピクチャのデコード結果(ビデオ出力)が格納される。後方参照領域22bには、デコードコア回路4において順方向予測を行う際に用いられる過去のIピクチャまたはPピクチャのデコード結果が格納される。Bピクチャ格納領域22cにはBピクチャのデコード結果が格納される。そして、各領域22a～22cのいずれか一つに格納されたビデオ出力が、ディスプレイ8へ出力される。

【0129】フレームバッファ22とビットバッファ2とは、部品点数を少なくしてMPEGビデオデコーダ11のコストを減少させるため、1つのRAM内に領域を分けて設けられている。ところで、前方参照領域22aおよび後方参照領域22bに格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行うた

10

20

30

40

50

めの基データとして使われるため、必要がなくなるまで、各領域22a, 22bに格納し続けなければならない。Bピクチャについては基データとして扱われないため、ディスプレイ8へ出力されたら不用になる。尚、各領域22a~22cはプレーンと呼ばれる。

【0130】尚、MPEGビデオデコーダとMPEGオーディオデコーダとを1つのLSIに搭載した場合には、MPEGオーディオデコーダ用のビットバッファ

(オーディオビットバッファ)についても、MPEGビデオデコーダ用のフレームバッファ22およびビットバッファ(ビデオビットバッファ)2と1つのRAM内に領域を分けて設けている。例えば、記録媒体としてビデオCDを用いた場合には、4MDRAMを用い、ビデオビットバッファ2の容量を52kバイト、フレームバッファ22の各領域22a~22cの容量をそれぞれ148.5kバイト、オーディオビットバッファの容量を6.5kバイト、ユーザ用領域の容量を8kバイトに設定している。ちなみに、ユーザ用領域は、ビデオCDV2.0規格のセクタバッファなどに用いられる。

【0131】4倍速再生以上の高速再生時には、IピクチャおよびPピクチャをデコードするだけで十分に動きの滑らかな動画が得られるため、Bピクチャは全てスキップすることが可能になる。

【0132】また、8倍速再生以上の高速再生時には、Iピクチャをデコードするだけで十分に動きの滑らかな動画が得られるため、PピクチャおよびBピクチャは全てスキップすることが可能になる。

【0133】このように、4倍速再生以上の高速再生時には、フレームバッファ22のBピクチャ格納領域22cは不要になる。そこで、本実施形態では、4倍速再生以上の高速再生時において、不要になったフレームバッファ22のBピクチャ格納領域22cを、ビットバッファ2として流用する。つまり、フレームバッファ22のBピクチャ格納領域22cをビットバッファ2の増設メモリとして用いる。その結果、前記した4MDRAMの場合には、ビットバッファ2の容量を約200kバイト(=ビットバッファ2の元の容量52k+Bピクチャ格納領域22cの容量148.5k)と従来の約4倍に増やすことができる。

【0134】以上詳述したように本実施形態によれば、第3実施形態の効果に加えて、以下に示す効果を得ることができる。

①4倍速再生以上の高速再生時においても、ビットバッファ2のオーバーフローを確実に回避することができる。

【0135】②ビットバッファ2の容量を約200kバイトにした場合において、本実施形態の高速再生時の効果についてシミュレーションしたところ、30倍速再生程度まで動きの滑らかな動画が得られることを確認できた。

【0136】(第5実施形態)次に、本発明を具体化した第5実施形態を図5~図7に従って説明する。本実施形態のMPEGビデオデコーダの構成は第4実施形態のそれと同じである。

【0137】デコードコア回路4は、1フレーム期間内に2つのIピクチャまたはPピクチャをMPEGビデオパートに準拠してデコードし、各ピクチャ毎のビデオ出力を生成する能力を有する。そして、デコードコア回路4は、1フレーム期間内に2つのIピクチャまたはPピクチャをデコードした場合、先にデコードしたIピクチャまたはPピクチャのビデオ出力についてはディスプレイ8へ出力せず、後でデコードしたIピクチャまたはPピクチャのビデオ出力だけをディスプレイ8へ出力する。つまり、後でデコードしたIピクチャまたはPピクチャだけを、再生ピクチャとして扱う。そして、先にデコードしたIピクチャまたはPピクチャのビデオ出力は、順方向予測を行う際に用いる中途データとして扱う。

【0138】前記したように、4倍速再生以上の高速再生時には、フレームバッファ22のBピクチャ格納領域22cは不要になる。そこで、本実施形態では、4倍速再生以上の高速再生時において、不要になったフレームバッファ22のBピクチャ格納領域22cに、先にデコードしたIピクチャまたはPピクチャのビデオ出力を格納する。従って、先にデコードしたIピクチャまたはPピクチャのビデオ出力を格納しておくためのフレームバッファを別個に設ける必要はない。

【0139】次に、本実施形態の動作を図6および図7に従って説明する。図6(a)に示すようなGOP構成のビデオストリームが記録媒体から読み出された場合、各フレーム期間において処理されるピクチャ(デコードコア回路4でデコードするピクチャ、ディスプレイ8で再生するピクチャ、ピクチャスキップ回路6を介してスキップするピクチャ)は図6(b)に示すようになる。

【0140】図7に、図6に示す場合におけるビットバッファ2の占有量 $B_m$ の変化を示す。まず、PピクチャP1をデコードする。ここで、PピクチャP1がビットバッファ2から読み出された後でもまだ、占有量 $B_m$ が閾値 $B3_{thn}$ を越えている場合、続いて読み出された2つのBピクチャB2, B3はデコードせずにスキップする。それでもまだ、占有量 $B_m$ が閾値 $B3_{thn}$ を越えている場合、PピクチャP4をデコードする。このとき、先にデコードしたPピクチャP1については、デコードコア回路4において順方向予測を行ってPピクチャP4を生成する際の中途データとして用いるだけで再生はしない。そして、PピクチャP4だけを再生する。これらの処理を1フレーム期間内に行う。

【0141】次の1フレーム期間内ではBピクチャB5をデコードして再生する。これに対して、第2実施形態(図示点線)では、まず、PピクチャP1をデコードし



て再生し、次に、各BピクチャB2、B3はデコードせずにスキップする。これらの処理を1フレーム期間内に行う。従って、この時点において、PピクチャP4はビットバッファ2に蓄積されたままになっている。そのため、次の1フレーム期間内において、PピクチャP4をデコードしている途中でビットバッファ2がオーバーフローする恐れが極めて高くなる。

【0142】以上詳述したように本実施形態によれば、第4実施形態の効果に加えて、以下に示す効果を得ることができる。

④4倍速再生以上の高速再生時において、ビットバッファ2のオーバーフローを回避した上でデコード可能なPピクチャが増える。その結果、デコード可能なBピクチャも増える。従って、高速再生時における動画の動きをさらに滑らかにして画質をより向上させることができる。

【0143】②第2実施形態と同様に、本実施形態において、閾値B3thnを閾値Bthnと同じ値に設定しても、上記と同様の効果を得ることができる。尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0144】〔1〕上記各実施形態において、Dピクチャに基づく高速再生を併用して行う。この場合、上記各実施形態の効果をもさらに高めることができる。

〔2〕上記式(8)の係数 $n$ を、通常の再生速度に対する倍率 $n$ より大きな値にする。例えば、2倍速再生においては、式(8)の係数 $n$ を2より大きな値( $n > 2$ )にする。この場合にも上記各実施形態と同様の効果を得ることができるが、係数 $n$ を大きくし過ぎると再生される動画に生じるコマ落ちも多くなる。つまり、係数 $n$ と倍率 $n$ を等しくするのが最良ではあるが、若干であれば係数 $n$ の値を調整してもよいということである。

【0145】〔3〕第4実施形態において、フレームバッファ22をビットバッファ2とは別個に設ける。

〔4〕第5実施形態において、先にデコードしたIピクチャまたはPピクチャのビデオ出力を格納しておくためのフレームバッファを、フレームバッファ22とは別個に設ける。

【0146】〔5〕第1実施形態と第2実施形態とを併用する。

〔6〕ビデオCDプレーヤだけでなく、VTR (Video Tape Recorder)、DVD (Digital Video Disk) プレーヤなどのMPEG方式を利用する蓄積メディアの再生装置に適用する。

【0147】〔7〕第1～5実施形態をCPUを用いたソフトウェア的な処理に置き代える。すなわち、各回路(3～7、12)における信号処理をCPUを用いたソフトウェア的な信号処理に置き代える。

【0148】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想につい

て、以下にそれらの効果と共に記載する。

(イ) 請求項5～9のいずれか1項に記載のMPEGビデオデコーダにおいて、デコードコア回路と判定制御回路とを1チップ上に形成したMPEGビデオデコーダ。

【0149】(ロ) 請求項10に記載のMPEGビデオデコーダにおいて、デコードコア回路と判定制御回路とビデオストリーム解析回路とを1チップ上に形成したMPEGビデオデコーダ。

【0150】上記(イ)または(ロ)のようにすれば、MPEGビデオデコーダ全体を小型化することができる。

(ハ) 請求項11に記載のMPEGビデオデコーダにおいて、ビットバッファとフレームバッファとを1つのRAMで構成したMPEGビデオデコーダ。

【0151】このようにすれば、MPEGビデオデコーダを構成する部品点数が少なくなるため、コストを減少させることができる。ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

【0152】(a) 判定制御回路は、可変閾値オーバーフロー判定回路5とピクチャスキップ回路6と制御コア回路7とから構成される。

(b) ビデオストリーム解析回路はピクチャヘッダ検出・データ量解析回路12から構成される。

【0153】(c) 記録媒体とは、ビデオCDだけでなく、DVD、CD-ROM、ハードディスク、ビデオテープなどのあらゆるデジタル記録媒体を含むものとする。

【0154】  
【発明の効果】

1) ビットバッファのオーバーフローを回避することが可能で且つ簡単な構成のデコーダおよびMPEGビデオデコーダを提供することができる。

【0155】2) 特殊再生時における動画の動きを滑らかにして画質を向上させることと、ビットバッファのオーバーフローを回避することとが共に可能で、且つ簡単な構成のMPEGビデオデコーダを提供することができる。

3) 特殊再生時における動画の動きを滑らかにして画質を向上させることと、ビットバッファのオーバーフローおよびアンダーフローを回避することとが共に可能で、且つ簡単な構成のMPEGビデオデコーダを提供する。

【図面の簡単な説明】

【図1】第1および第2実施形態の要部ブロック回路図。

【図2】第1実施形態を説明するためのグラフ。

【図3】第2実施形態を説明するためのグラフ。

【図4】第3実施形態の要部ブロック回路図。

【図5】第4および第5実施形態の要部ブロック回路図。



## 6…ピクチャスキップ回路

6 a, 6 b ... ノー卜

## 7…制御コア回路

## 8…ディスプレイ

## 8…ディスプレイ

## 1 2…ピクチャヘッダ検出・データ量解析回路

22…フレームバッファ

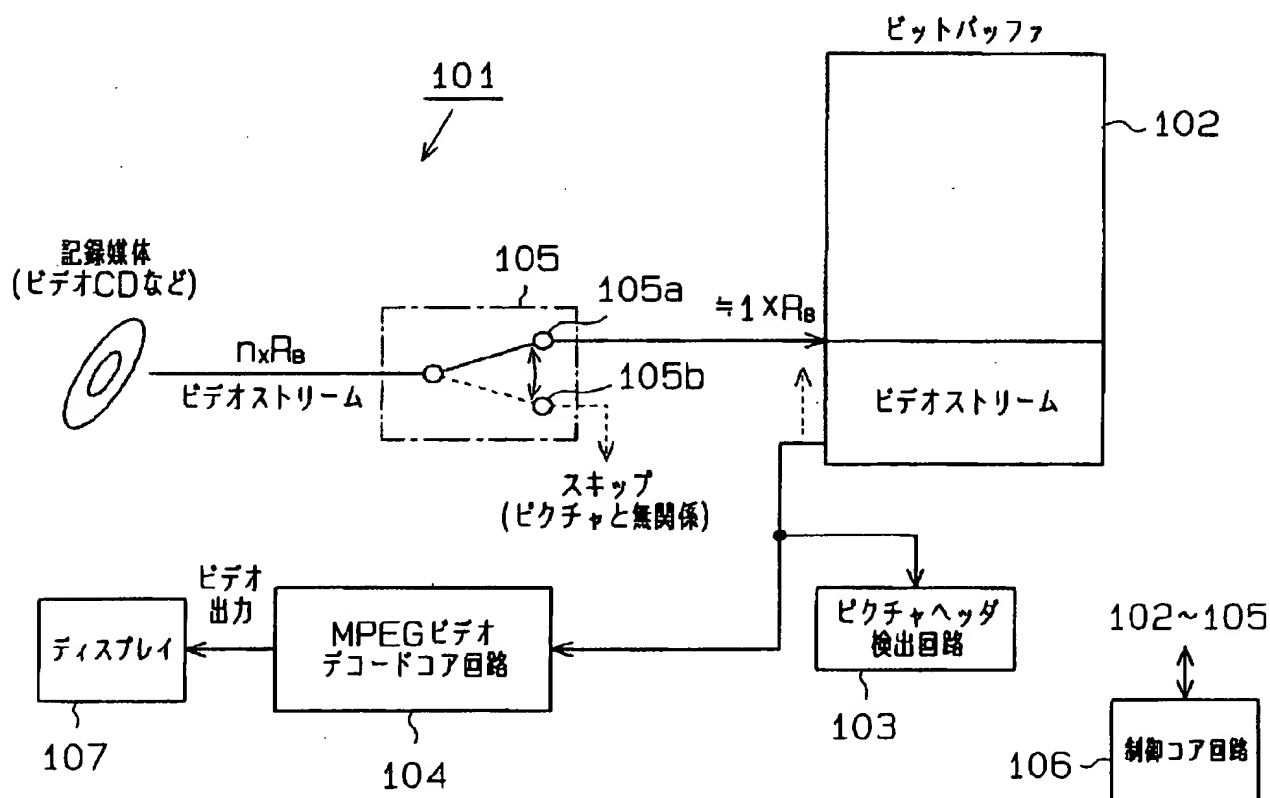
2 2 a …前方参照領域

2 2 b …後方参照領域

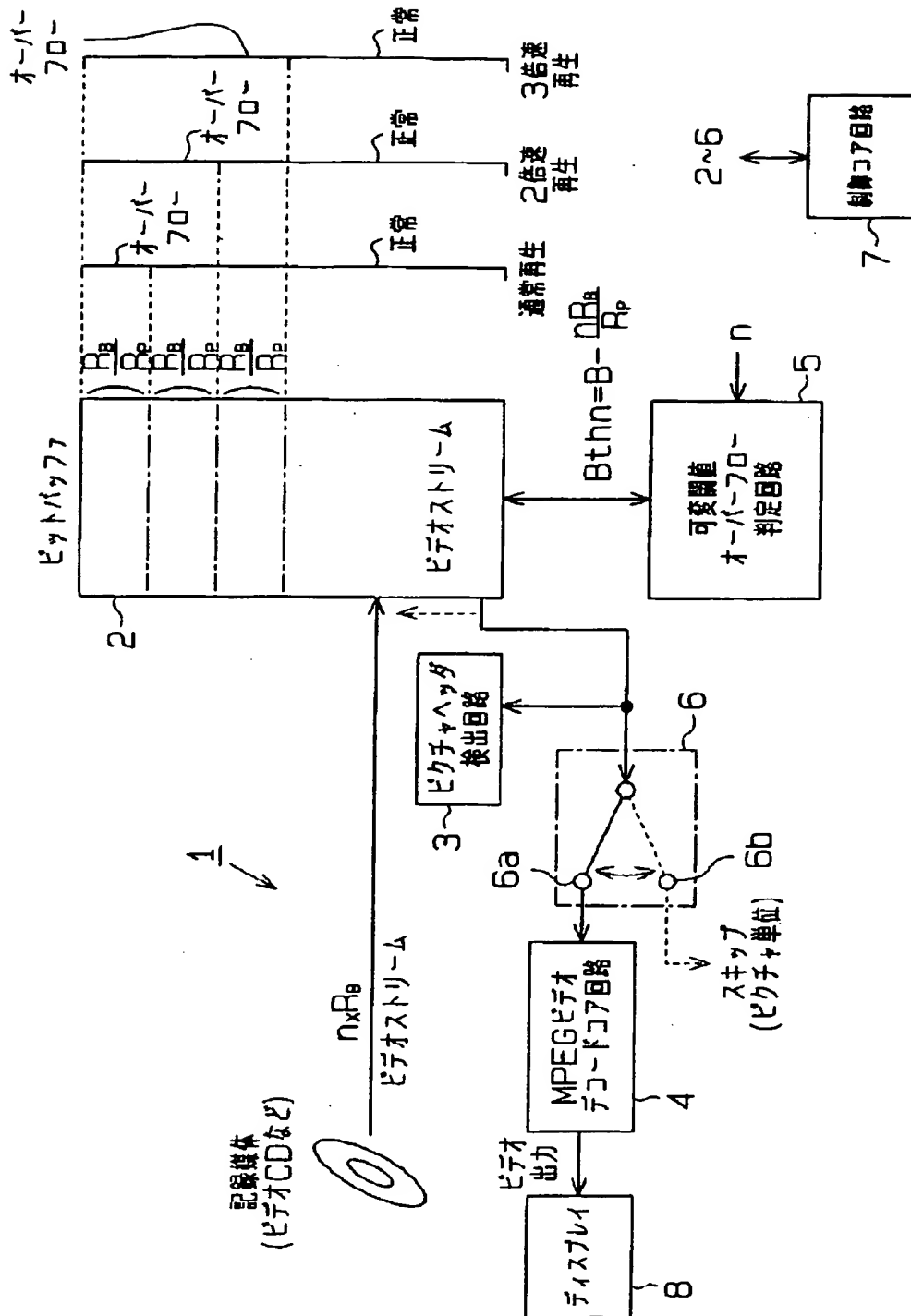
2 2 c ... Bピクチャ格納領域

10

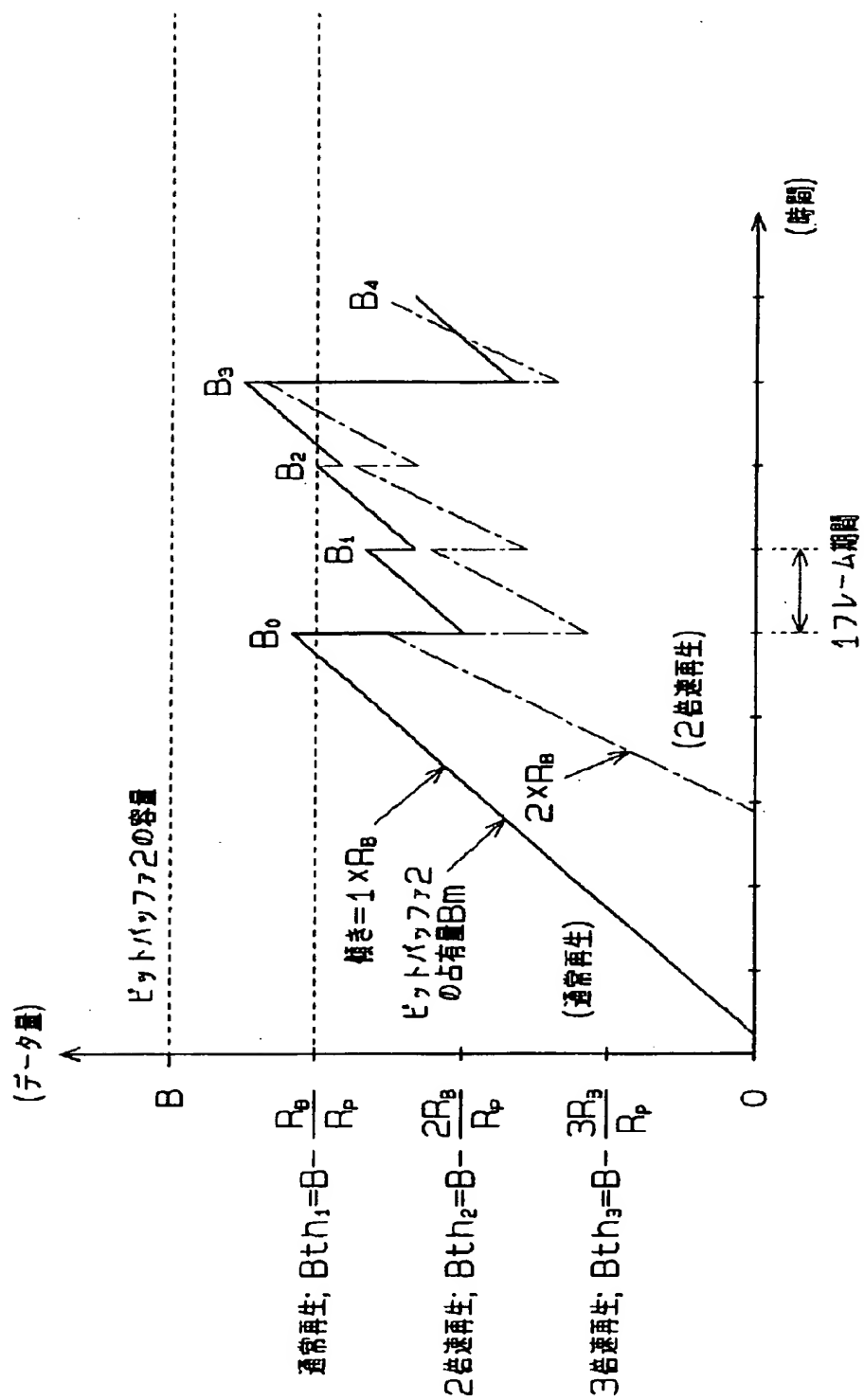
【图 8】



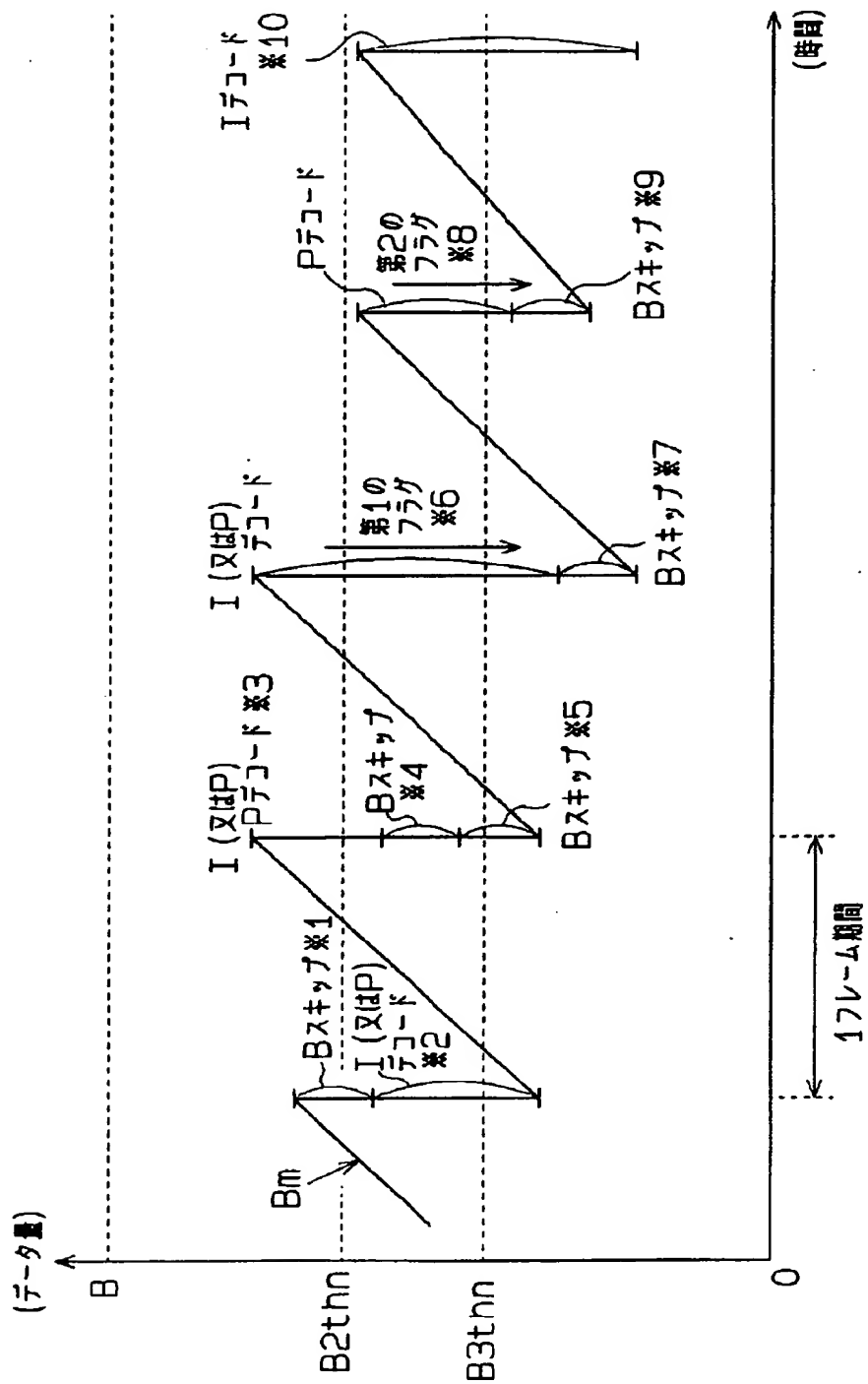
【図1】



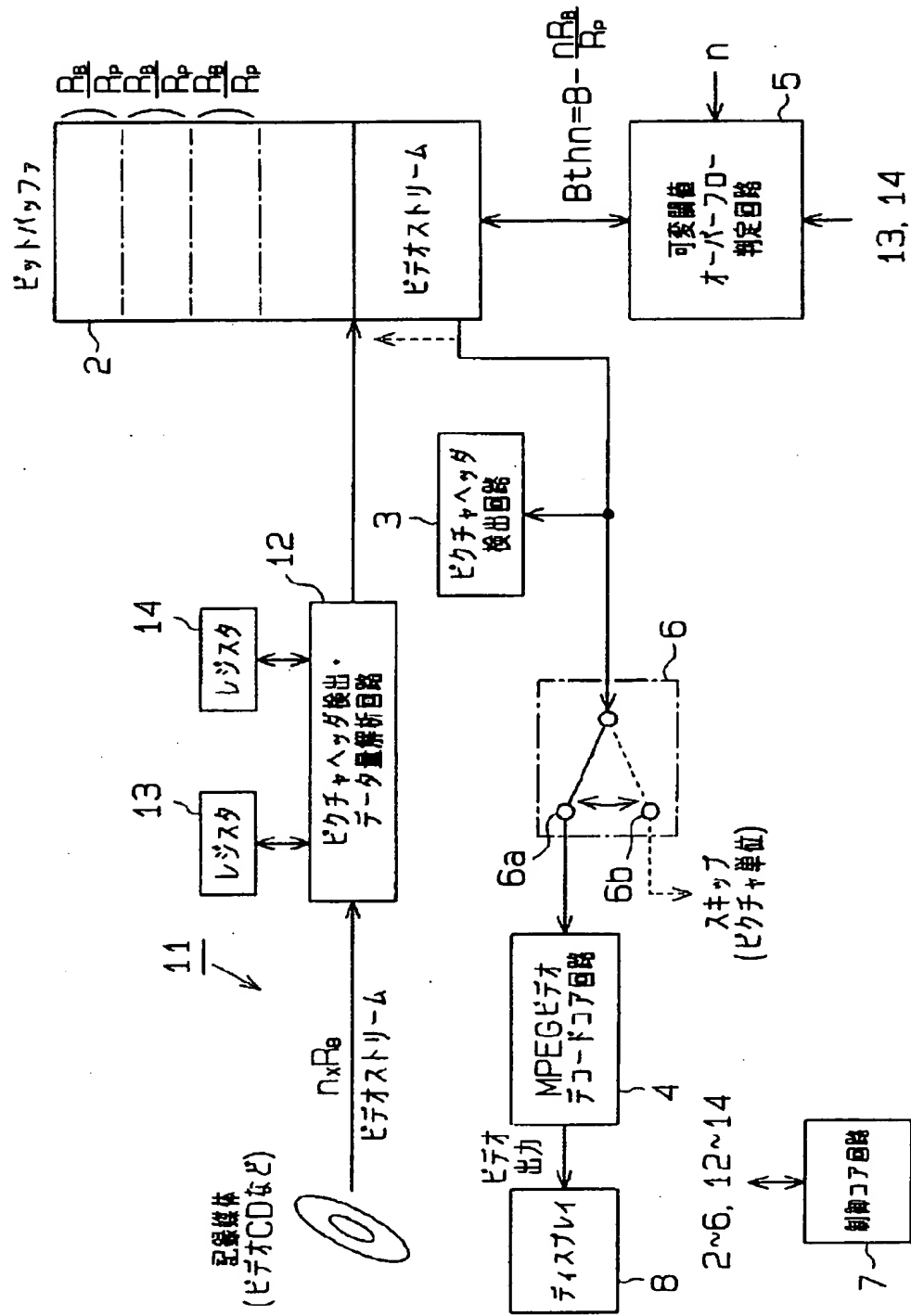
【図2】



〔図3〕



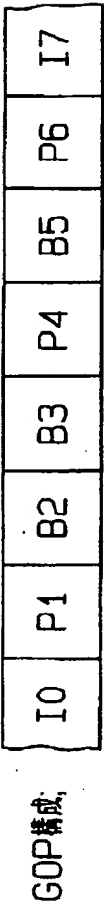
【図4】



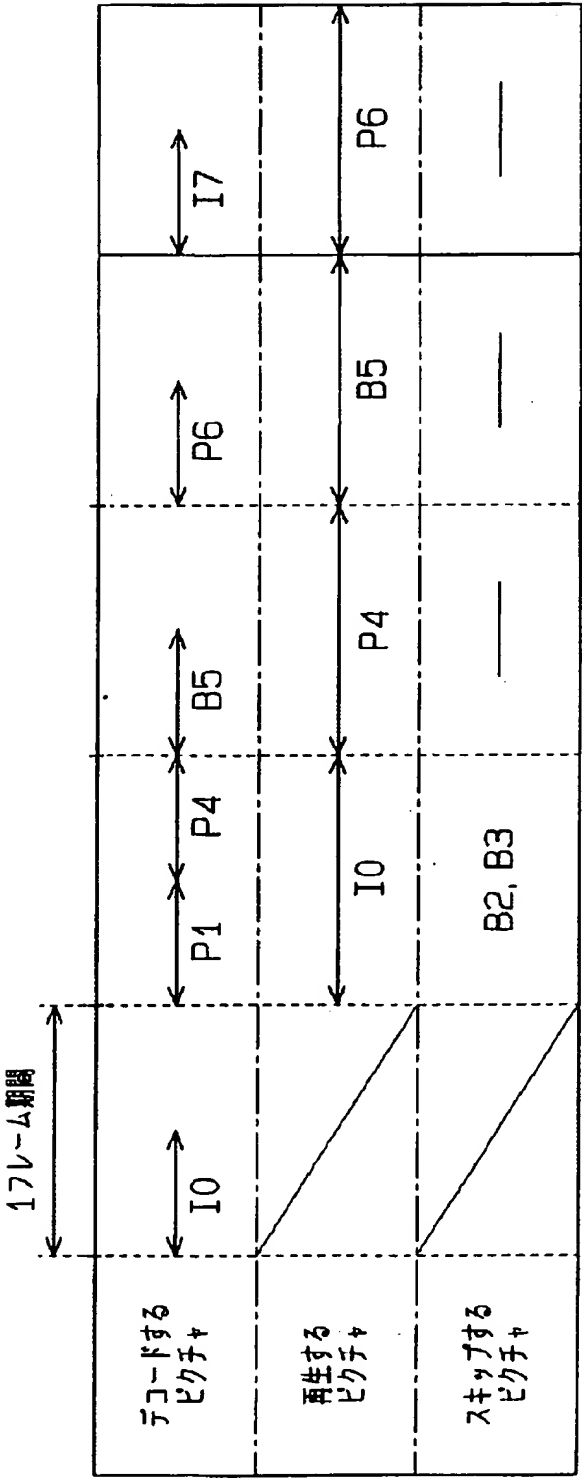


【図 6】

(a)



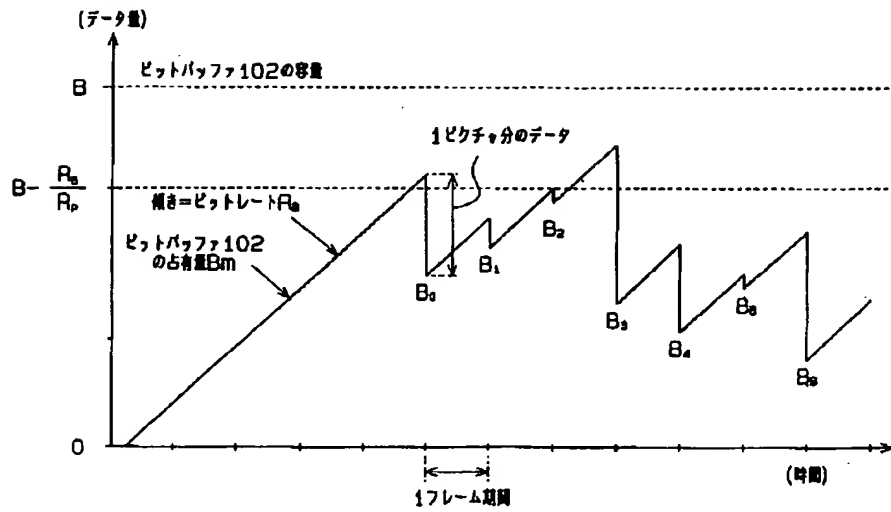
(b)







【図9】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
// H03M 7/30

識別記号

庁内整理番号

FI  
H04N 7/137

技術表示箇所

Z